

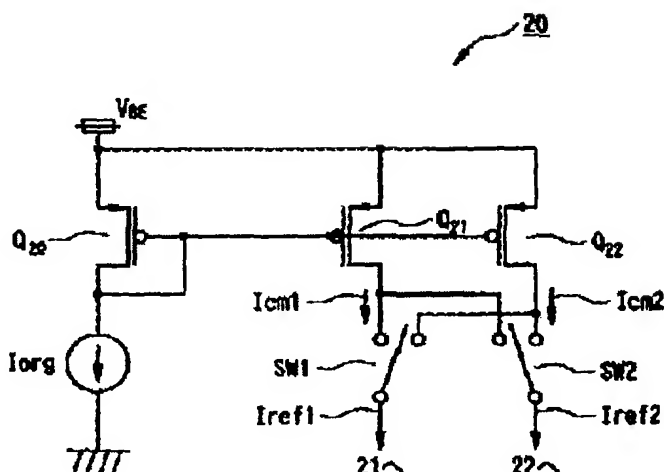
DISPLAY PANEL DRIVE CIRCUIT

Patent number: JP2003066903
Publication date: 2003-03-05
Inventor: YAMAHA YOSHIRO; TAKEHARA SATOSHI
Applicant: ASAHI CHEMICAL MICRO SYST
Classification:
- international: G09G3/20; G09G3/30; H05B33/14; G09G3/20;
G09G3/30; H05B33/14; (IPC1-7): G09G3/30; G09G3/20;
H05B33/14
- european:
Application number: JP20010251431 20010822
Priority number(s): JP20010251431 20010822

Report a data error here

Abstract of JP2003066903

PROBLEM TO BE SOLVED: To reduce variation of current which occurs at a current mirror, and to eliminate variation in reference current between a plurality of IC chips.
SOLUTION: Switching circuits SW1 and SW2 are switched over for time-division control. Thus, the variation quantity between a current source Iorg which realizes original current of current mirror and currents Iref1 and Iref2 decreases, while the current Iref1 and the current Iref2 supplied to a plurality of IC chips are equal to each other. By switching over the relationship between a plurality of IC chips and a plurality of drive current sources at a prescribed cycle, the current variation occurring at the current mirror is reduced. Since the variation in reference current between a plurality of IC chips is eliminated, a regular emission luminosity is provided on a display panel.



Data supplied from the esp@cenet database - Worldwide

(11)特許出願公開番号

特開2003-66903

(P2003-66903A)

(43)公開日 平成15年3月5日(2003.3.5)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
3/20	6 1 1	3/20	6 1 1 H 5 C 0 8 0
	6 2 3		6 2 3 R
	6 4 2		6 4 2 C
H 0 5 B 33/14		H 0 5 B 33/14	A
審査請求 未請求 請求項の数4 O L (全 10 頁)			

審査請求 未請求 請求項の数 4 OL (全 10 頁)

(21)出願番号 特願2001-251431(P2001-251431)

(22) 出願日 平成13年8月22日(2001.8.22)

(71)出願人 594021175

旭化成マイクロシステム株式会社

東京都新宿区西新宿三丁目7番1号

(72) 発明者 山羽 義郎

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(72) 發明者 竹原 聰

神奈川県厚木市岡田3050番地 旭化成マイ
クロシステム株式会社内

(74) 代理人 100066980

弁理士 森 哲也 (外2名)

最終頁に続く

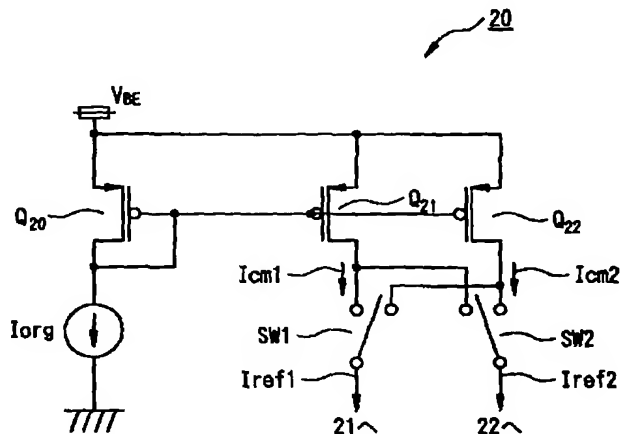
(54) 【発明の名称】 ディスプレイパネル駆動回路

(57) 【要約】

【課題】 カレントミラーで発生する電流ばらつきを小さくし、また複数のICチップ間での基準電流のばらつきをなくす。

【解決手段】 スイッチング回路SW1、SW2を切り替えて時分割制御を行う。これにより、カレントミラーの元電流を実現する電流源 I_{org} と電流 I_{ref1} 、 I_{ref2} とのばらつきの量が減少し、さらに複数のICチップに与える電流 I_{ref1} と電流 I_{ref2} とが等しくなる。

【効果】 複数のＩＣチップと複数の駆動電流供給源との対応関係を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができる。また複数のＩＣチップ間での基準電流のばらつきをなくすることができるので、ディスプレイパネル上において均一な発光輝度が得られる。



【特許請求の範囲】

【請求項1】 複数のICチップに電流を供給し、この供給された電流によって前記複数のICチップから出力される駆動出力によってディスプレイパネルを駆動するディスプレイパネル駆動回路であって、前記複数のICチップそれぞれに対応して設けられ対応するICチップに駆動電流を出力する駆動電流供給手段と、前記ICチップと前記駆動電流供給手段との対応関係を所定周期で切り替えるスイッチング手段とを含むことを特徴とするディスプレイパネル駆動回路。

【請求項2】 前記駆動電流供給手段に共通に設けられた基準電流源を更に含み、前記基準電流源と前記駆動電流供給手段とによって電流ミラー回路が構成されることを特徴とする請求項1記載のディスプレイパネル駆動回路。

【請求項3】 前記複数のICチップは3以上のICチップを含み、前記駆動電流供給源と前記ICチップとの対応関係が所定周期でローテーションされて切り替わることを特徴とする請求項1又は2記載のディスプレイパネル駆動回路。

【請求項4】 前記ディスプレイパネルは、前記ICチップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする請求項1乃至3のいずれか1項に記載のディスプレイパネル駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はディスプレイパネル駆動回路に関し、特に有機エレクトロルミネッセンス素子等の自発光素子からなるディスプレイパネルを用いたディスプレイ装置の駆動回路に関する。

【0002】

【従来の技術】 薄型で低消費電力なディスプレイ装置を実現するための自発光素子として、有機エレクトロルミネッセンス（以下、ELと称する）素子が知られている。図5は、かかるEL素子の概略構成を示す図である。同図に示されているように、EL素子は、透明電極101が形成されたガラス板等からなる透明基板100上に、電子輸送層、発光層、正孔輸送層等からなる少なくとも1層の有機機能層102、及び金属電極103が積層されたものである。

【0003】 図6は、かかるEL素子の特性を電氣的に示す等価回路である。同図に示されるように、EL素子は、容量成分Cと、該容量成分に並列に結合するダイオード特性の成分Eとによって置き換えることができる。ここで、透明電極101の陽極にプラス、金属電極103の陰極にマイナスの電圧を加えて透明電極及び金属電極間に直流を印加すると、容量成分Cに電荷が蓄積される。この際、EL素子固有の障壁電圧または発光閾値電圧を越えると、電極（ダイオード成分Eの陽極側）から

発光層を担う有機機能層に電流が流れ始め、この電流に比例した強度で有機機能層102が発光する。

【0004】 図7は、複数の上記EL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列されたm個の陽極線（透明電極） $A_1 \sim A_m$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_m$ の交差部分の各々に、上述した如き構造を有するEL素子 $E_{11} \sim E_{nm}$ が形成されている。尚、これらEL素子 $E_{11} \sim E_{nm}$ 各々は、ELDP10としての1画素を担うものである。

【0005】 発光制御回路1は、入力された1画面分（n行、m列）の画像データを、ELDP10の各画素、すなわち上記EL素子 $E_{11} \sim E_{nm}$ の各々に対応した画素データ群 $D_{11} \sim D_{nm}$ に変換し、これらを図8に示されるが如く、1行分毎に順次、陽極線ドライブ回路2に供給して行く。例えば、画素データ $D_{11} \sim D_{1m}$ とは、ELDP10の第1表示ラインに属するEL素子 $E_{11} \sim E_{1m}$ 各々に対して発光を実施させるか否かを指定するm個のデータビットであり、夫々、論理レベル“1”である場合には“発光”、論理レベル“0”である場合に“非発光”を示す。

【0006】 また、発光制御回路1は、図8に示されているように1行分毎の画素データの供給タイミングに同期して、ELDP10の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路3に供給する。陽極線ドライブ回路2は、先ず、上記画素データ群におけるm個のデータビットの内から、“発光”を指定する論理レベル“1”のデータビットを全て抽出する。次に、この抽出したデータビット各々に対応した“列”に属する陽極線を陽極線 $A_1 \sim A_m$ の内から全て選択し、この選択した陽極線のみに定電流源を接続し、所定の画素駆動電流iを供給する。

【0007】 陰極線走査回路3は、上記陰極線 $B_1 \sim B_n$ の内から、上記走査線選択制御信号で示される表示ラインに対応した陰極線を択一的に選択してこの陰極線をアース電位に設定すると共に、その他の陰極線の各々に所定の高電位Vccを夫々印加する。尚、かかる高電位Vccは、EL素子が所望の輝度で発光しているときの両端電圧（寄生容量Cへの充電量に基づいて決定する電圧）とほぼ同一値に設定される。

【0008】 この際、上記陽極線ドライブ回路2によって上記定電流源が接続された“列”と、上記陰極線走査回路3にてアース電位に設定された表示ラインとの間には発光駆動電流が流れ、かかる表示ライン及び“列”に交叉して形成されているEL素子は、この発光駆動電流に応じて発光する。一方、上記陰極線走査回路3によ

て高電位 V_{cc} に設定された表示ラインと、上記定電流源が接続された“列”との間には電流が流れ込まないので、かかる表示ライン及び“列”に交叉して形成されているEL素子は非発光のままである。

【0009】以上のような動作が、画素データ群 $D_{11} \sim D_{1n}$ 、 $D_{21} \sim D_{2n}$ 、 \dots 、 $D_{m1} \sim D_{mn}$ 各々に基づいて実施されると、ELDP10の画面上には、入力された画像データに応じた1フィールド分の発光パターン、つまり画像が表示されるのである。

【0010】

【発明が解決しようとする課題】ここで、近年、ディスプレイパネルの大画面化を実現するにあたり、表示ライン、つまり上記陰極線Bの本数を増加すると共に、陽極線Aの本数を増加して画面の高精細化を行う必要が生じてきた。従って、これら陽極線A及び陰極線B各々の本数の増加につれ、陽極線ドライブ回路2及び陰極線走査回路3各々の回路規模も増大するので、両者をIC化するにあたり、チップ面積の増大に伴う歩留まりの悪化が懸念される。そこで、これら陽極線ドライブ回路2及び陰極線走査回路3各々を、夫々複数のICチップで構築することが考えられた。

【0011】ところが、陽極線ドライブ回路2を複数のICチップで構築すると、製造上のばらつき等により、各ICチップ間で、上記陽極線に供給すべき発光駆動電流の電流量が異なってしまう場合がある。よって、かかる発光駆動電流の違いによりELDP10の画面上には互いに輝度の異なる領域ができてしまうという問題があった。これを解決するための技術が特開2001-42827号公報に記載されている。

【0012】図9は、同公報に記載されているELディスプレイ装置の概略構成を示す図である。同図において、ELディスプレイパネルとしてのELDP10'には、第1表示ライン～第n表示ライン各々を担う陰極線（金属電極） $B_1 \sim B_n$ と、これら陰極線 $B_1 \sim B_n$ 各々に交叉して配列された2m個の陽極線（透明電極） $A_1 \sim A_{2m}$ が形成されている。これら陰極線 $B_1 \sim B_n$ 及び陽極線 $A_1 \sim A_{2m}$ 各々の交叉部に、図5に示されているような構造を有するEL素子 $E_{1,1} \sim E_{n,2m}$ が形成されている。尚、これらEL素子 $E_{1,1} \sim E_{n,2m}$ 各々は、ELDP10'としての1画素を担うものである。

【0013】発光制御回路1'は、図10に示されているように、上記ELDP10'の第1表示ライン～第n表示ライン各々を順次走査すべき走査線選択制御信号を陰極線走査回路30に供給する。陰極線走査回路30は、上記走査線選択制御信号で示される表示ラインに対応した陰極線を上記ELDP10'の陰極線 $B_1 \sim B_n$ の内から択一的に選択してこれをアース電位に接地すると共に、その他の陰極線各々に所定の高電位 V_{cc} を夫々印加する。

【0014】また、発光制御回路1'は、入力された1

画面分（n行、2m列）の画像データをELDP10'の各画素、すなわち上記EL素子 $E_{1,1} \sim E_{n,2m}$ 各々に対応した画素データ $D_{1,1} \sim D_{n,2m}$ に変換し、これを第1列～第m列に属するものと、第m+1列～第2m列に属するものとに分割する。この際、上記第1列～第m列に属する画素データを1表示ライン毎にグループ化した画素データ $D_{1,1} \sim D_{1,m}$ 、 $D_{2,1} \sim D_{2,m}$ 、 $D_{3,1} \sim D_{3,m}$ 、 \dots 、及び $D_{n,1} \sim D_{n,m}$ 各々を、図10に示されているように、第1駆動データ $GA_{1,m}$ として、順次、第1陽極線ドライブ回路21に供給する。これと同時に、発光制御回路1'は、上記第m+1列～第2m列に属する画素データを1表示ライン毎にグループ化した画素データ $D_{1,m+1} \sim D_{1,2m}$ 、 $D_{2,m+1} \sim D_{2,2m}$ 、 $D_{3,m+1} \sim D_{3,2m}$ 、 \dots 、及び $D_{n,m+1} \sim D_{n,2m}$ 各々を、図10に示されているように、第2駆動データ $GB_{1,m}$ として、順次、第2陽極線ドライブ回路22に供給する。

【0015】なお、これら第1駆動データ $GA_{1,m}$ 及び第2駆動データ $GB_{1,m}$ の各々は、図10に示されているように、上記走査線選択制御信号に同期して順次、第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々に供給される。この際、上記第1駆動データ群 $GA_{1,m}$ とは、ELDP10'の各表示ラインの第1列～第m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。また、上記第2駆動データ群 $GB_{1,m}$ とは、ELDP10'の各表示ラインの第m+1列～第2m列各々に属するm個のEL素子の各々に対して、発光を実施させるか否かを指定するm個のデータビットである。例えば、かかるデータビットが論理レベル“1”である場合には発光を実施させる一方、“0”である場合には発光を実施させない。

【0016】図11は、駆動回路としての上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22各々の内部構成を示す図である。尚、上記第1陽極線ドライブ回路21及び第2陽極線ドライブ回路22の各々は、互いに異なる2つのICチップ内に夫々構築される。同図において、第1陽極線ドライブ回路21は、基準電流制御回路RC、制御電流出力回路CO、スイッチブロックSB、並びに、m個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。

【0017】基準電流制御回路RCにおけるトランジスタ Q_0 のエミッタには抵抗 R_0 を介して所定電圧 V_{ref} が接続されており、そのベース及びコレクタにはトランジスタ Q_0 のコレクタが接続されている。演算増幅器OPには所定の基準電位 V_{ref} と、トランジスタ Q_0 のエミッタ電位が入力されており、その出力電位は、トランジスタ Q_0 のベースに入力される。トランジスタ Q_0 のエミッタは、抵抗 R_0 を介してアース電位に接地されている。以上の如き構成により、トランジスタ Q_0 のコレクタエミッタ間には基準電流 $I_{ref} (= V_{ref} / R_0)$ が流れる

ことになる。

【0018】トランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 V_{re} が印加されており、更に、夫々のベースには上記トランジスタ Q_0 のベースが接続されている。この際、上記抵抗 R_1 、及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 Q_0 及び Q_0 の各々は、互いに同一特性を有するものである。よって、上記基準電流制御回路 RC と、トランジスタ $Q_1 \sim Q_m$ とは電流ミラー回路（以下、カレントミラーと呼ぶ）を構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記基準電流 I_{ref} と同一の電流値を有する発光駆動電流 i が流れ、これが出力されることになる。

【0019】スイッチブロック SB には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1 \sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第1陽極線ドライブ回路21のスイッチブロック SB では、上記発光制御回路1'から供給された第1駆動データ $GA_1 \sim GA_m$ 各々の論理レベルに応じて、上記スイッチング素子 $S_1 \sim S_m$ 各々が独立してオン／オフ制御される。例えば、第1駆動データ GA_1 が論理レベル“0”のときには、スイッチング素子 S_1 はオフ状態となる一方、かかる第1駆動データ GA_1 が論理レベル“1”のときには、オン状態となってトランジスタ Q_1 から供給された発光駆動電流 i を出力端 X_1 に導出する。また、第1駆動データ GA_m が論理レベル“0”のときには、スイッチング素子 S_m はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタ Q_m から供給された発光駆動電流 i を出力端 X_m に導出する。このように、上記トランジスタ $Q_1 \sim Q_m$ の各々から出力された発光駆動電流 i は、出力端 $X_1 \sim X_m$ の各々を介して、図9に示されているように、 $ELDP10'$ の陽極線 $A_1 \sim A_m$ の各々に供給される。

【0020】制御電流出力回路 CO におけるトランジスタ Q_0 のエミッタには抵抗 R_0 を介して画素駆動電位 V_{re} が印加されており、そのベースには上記基準電流制御回路 RC におけるトランジスタ Q_0 のベースが接続されている。この際、上記抵抗 R_0 の抵抗値は、基準電流制御回路 RC における抵抗 R_1 と同一であり、更に、トランジスタ Q_0 は、基準電流制御回路 RC におけるトランジスタ Q_a 及び Q_b 各々と同一特性を有するものである。よって、制御電流出力回路 CO におけるトランジスタ Q_0 と、上記基準電流制御回路 RC とはカレントミラーを形成することになり、上記トランジスタ Q_0 のエミッターコレクタ間には、上記基準電流 I_{ref} と同一電流量の電流が流れる。制御電流出力回路 CO は、かかる電流を制御電流 i_c とし、これを出力端 I_{out} を介して第2陽極線ドライブ回路22の入力端 I_{in} に供給する。つまり、第1陽極線ドライブ回路21が $ELDP10'$ の陽

極線 $A_1 \sim A_m$ の各々に供給する発光駆動電流 i と同一の電流が、制御電流 i_c として第2陽極線ドライブ回路22に供給されるのである。

【0021】第2陽極線ドライブ回路22は、駆動電流制御回路 CC 、スイッチブロック SB 、並びに、 m 個の電流駆動源としてのトランジスタ $Q_1 \sim Q_m$ 及び抵抗 $R_1 \sim R_m$ から構成される。駆動電流制御回路 CC におけるトランジスタ Q_c のコレクタ及びベースは、上記入力端 I_{in} に接続されており、そのエミッタは抵抗 R_0 を介してアース電位に接地されている。よって、上記第1陽極線ドライブ回路21から出力された制御電流 i_c は、その入力端 I_{in} を介してトランジスタ Q_c のコレクタエミッタ間に流れる。

【0022】また、駆動電流制御回路 CC におけるトランジスタ Q_c のエミッタには抵抗 R_s を介して画素駆動電位 V_{re} が印加されており、そのベース及びコレクタにはトランジスタ Q_0 のコレクタが接続されている。かかるトランジスタ Q_0 のベースは上記トランジスタ Q_c のコレクタ及びベースに夫々接続されており、そのエミッタは上記抵抗 R_0 を介してアース電位に接地されている。この際、第1陽極線ドライブ回路21のトランジスタ Q_0 と、上記トランジスタ Q_c 、 Q_d 、及び Q_e の各々とは同一特性のトランジスタであり、更に、第1陽極線ドライブ回路21における抵抗 R_0 と上記抵抗 R_s とは同一抵抗値である。よって、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流が上記トランジスタ Q_0 のコレクタエミッタ間に流れる。

【0023】また、第2陽極線ドライブ回路22におけるトランジスタ $Q_1 \sim Q_m$ 各々のエミッタには、抵抗 $R_1 \sim R_m$ 各々を介して画素駆動電位 V_{re} が印加されており、更に、夫々のベースには上記トランジスタ Q_0 のベースが接続されている。この際、上記抵抗 R_s 、及び $R_1 \sim R_m$ 各々の抵抗値は同一であり、更に、上記トランジスタ $Q_1 \sim Q_m$ 、 Q_d 及び Q_e の各々は、互いに同一特性を有するものである。よって、上記駆動電流制御回路 CC と、トランジスタ $Q_1 \sim Q_m$ とはカレントミラーを構成することになり、トランジスタ $Q_1 \sim Q_m$ 各々のエミッターコレクタ間には、上記第1陽極線ドライブ回路21から供給された制御電流 i_c と同一の電流量を有する発光駆動電流 i が流れ、これが夫々出力される。すなわち、上記駆動電流制御回路 CC により、第2陽極線ドライブ回路22のトランジスタ $Q_1 \sim Q_m$ 各々から出力される発光駆動電流 i は、第1陽極線ドライブ回路21が出力した発光駆動電流と同一の電流量となるように調整されるのである。

【0024】スイッチブロック SB には、上記トランジスタ $Q_1 \sim Q_m$ 各々から出力された発光駆動電流 i を夫々、出力端 $X_1 \sim X_m$ の各々に導出する m 個のスイッチング素子 $S_1 \sim S_m$ が設けられている。この際、第2陽極線ドライブ回路22のスイッチブロック SB では、上記発

光制御回路1'から供給された第2駆動データGB₁～GB_m各々の論理レベルに応じて、上記スイッチング素子S₁～S_m各々が独立してオン/オフ制御される。

【0025】例えば、第2駆動データGB₁が論理レベル“0”のときには、スイッチング素子S₁はオフ状態となる一方、かかる第2駆動データGB₁が論理レベル“1”のときには、オン状態となってトランジスタQ₁から供給された発光駆動電流i₁を出力端X₁に導出する。また、第2駆動データGB₂が論理レベル“0”のときには、スイッチング素子S₂はオフ状態となる一方、論理レベル“1”である場合にはオン状態となってトランジスタQ₂から供給された発光駆動電流i₂を出力端X₂に導出する。このように、第2陽極線ドライブ回路22のトランジスタQ₁～Q_m各々から出力された発光駆動電流i₁は、出力端X₁～X_mの各々を介して、図9に示されているように、ELDP10'の陽極線A₁₁～A_{2n}の各々に供給される。

【0026】以上のように、上記公報に記載されている駆動回路では、陽極線ドライブ回路内に、発光駆動電流を発生させるための電流源（トランジスタQ₁～Q_m）の他に、この発光駆動電流を、入力された制御電流に応じた電流量に維持する駆動電流制御回路CCと、かかる発光駆動電流自体を制御電流として出力する制御電流出力回路COとを設ける構成としている。ここで、ディスプレイパネルの陽極線を、夫々個別のICチップ内に構築された複数の陽極線ドライブ回路で分担して駆動するにあたり、第1の陽極線ドライブ回路は、第2の陽極線ドライブ回路が実際に出力した発光駆動電流に基づいて、その出力すべき発光駆動電流の電流量を制御する。よって、たとえ各ICチップ（陽極線ドライブ回路としての）間に特性のばらつきがあっても、各々から出力される発光駆動電流の電流量は略同一になるので、ディスプレイパネル上において均一な発光輝度が得られるようになるのである。

【0027】上述した公報に記載されている技術においては、ICチップで構成される第1陽極線ドライブ回路21から、他のICチップで構成される第2陽極線ドライブ回路22に基準電流を渡す際、カレントミラーを用いている。このため、カレントミラーで電流ばらつきが生じると、複数のICチップ間で、出力電流がばらついてしまう。すると、ディスプレイパネル上において均一な発光輝度が得られないという欠点がある。

【0028】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的はカレントミラーで発生する電流ばらつきを小さくすることができ、また複数のICチップ間での基準電流のばらつきをなくすことのできるディスプレイパネル駆動回路を提供することである。

【0029】

【課題を解決するための手段】本発明の請求項1による

ディスプレイパネル駆動回路は、複数のICチップに電流を供給し、この供給された電流によって前記複数のICチップから出力される駆動出力によってディスプレイパネルを駆動するディスプレイパネル駆動回路であって、前記複数のICチップそれぞれに対応して設けられ対応するICチップに駆動電流を出力する駆動電流供給手段と、前記ICチップと前記駆動電流供給手段との対応関係を所定周期で切り替えるスイッチング手段とを含むことを特徴とする。

【0030】本発明の請求項2によるディスプレイパネル駆動回路は、請求項1において、前記駆動電流供給手段に共通に設けられた基準電流源を更に含み、前記基準電流源と前記駆動電流供給手段とによって電流ミラー回路が構成されることを特徴とする。本発明の請求項3によるディスプレイパネル駆動回路は、請求項1又は2において、前記複数のICチップは3以上のICチップを含み、前記駆動電流供給源と前記ICチップとの対応関係が所定周期でローテーションされて切り替わることを特徴とする。

【0031】本発明の請求項4によるディスプレイパネル駆動回路は、請求項1乃至3のいずれか1項において、前記ディスプレイパネルは、前記ICチップから出力される駆動出力によってそれぞれ駆動される複数のエレクトロルミネッセンス素子によって構成されていることを特徴とする。要するに、複数のICチップと複数の駆動電流供給源との対応関係（電気的接続関係）を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができる。また複数のICチップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られる。

【0032】

【発明の実施の形態】次に、図面を参照して本発明の実施の形態について説明する。なお、以下の説明において参照する各図においては、他の図と同等部分に同一符号が付されている。図1は本発明によるディスプレイパネル駆動回路の実施の一形態における主要部分の構成を示す図である。同図には基準電流生成回路が示されている。本例においては、基準電流の供給先のICチップが2つである場合が示されている。

【0033】同図に示されているように、基準電流生成回路20は、電流源I_{ref}と、この電流源I_{ref}と共に基準電流源を構成するトランジスタQ₂₀と、電流源I_{ref}及びトランジスタQ₂₀を共通の基準電流源とし、この基準電流源と共にカレントミラーを構成するトランジスタQ₂₁及びQ₂₂を含んで構成されている。トランジスタQ₂₁、Q₂₂からそれぞれ導出される電流I_{ref1}、I_{ref2}は、ICチップであるドライブ回路21、22（図示せず）に与えられる。

【0034】さらに、基準電流生成回路20には、トラ

ンジスタ Q_{21} 、 Q_{22} からそれぞれ導出される電流 I_{cm1} 、 I_{cm2} と、図示せぬドライブ回路21、22との対応関係を所定周期で切り替えるスイッチング回路SW1、SW2が設けられている。すなわち、トランジスタ Q_{21} 、 Q_{22} からそれぞれ導出される電流 I_{cm1} 、 I_{cm2} は、このスイッチング回路SW1、SW2によって切り替えられ、出力電流 I_{ref1} 、 I_{ref2} として図示せぬドライブ回路21、22に与えられる。

【0035】スイッチング回路SW1、SW2を切り替えて時分割制御を行うことにより、カレントミラーの元電流を実現する電流源 I_{org} と電流 I_{ref1} 、 I_{ref2} とのばらつきの量は減少し、さらに電流 I_{ref1} と電流 I_{ref2} とが等しくなる。具体的には、カレントミラーの元電流 I_{org} とカレントミラーで生成した電流 I_{cm1} との電流ばらつき量を ΔI_1 、カレントミラーの元電流 I_{org} とカレントミラーで生成した電流 I_{cm2} との電流ばらつき量を ΔI_2 とすると、スイッチング回路の出力電流 I_{ref1} 、 I_{ref2} は電流ばらつきも時分割されるため、ばらつきの平均は以下ようになる。

【0036】

ばらつきの平均 $=1/2 \times \sqrt{(\Delta I_1^2 + \Delta I_2^2)}$

ここで、 ΔI_1 、 $\Delta I_2 = \Delta I$ とすれば、

ばらつきの平均 $=1/\sqrt{2} \times \Delta I$

となり、カレントミラーで生成した電流 I_{cm1} 、 I_{cm2} の電流ばらつき量よりも小さくなる。

【0037】また、スイッチング回路の出力電流 I_{ref1} 、 I_{ref2} は等しいことから複数のICチップを用いてディスプレイパネル駆動回路を構成した場合であっても、ICチップ間の出力電流のばらつきを小さくすることができる。ここで、スイッチング回路の切り替えは、陰極線信号の切り替えタイミングで行う。図2

(a)は、スイッチング回路の切り替えタイミングを示すタイミングチャートである。同図には、カレントミラーで生成した電流 I_{cm1} 、 I_{cm2} がスイッチング回路SW1、SW2の切り替え動作によって出力電流 I_{ref1} 又は I_{ref2} として出力される様子が示されている。

【0038】同図に示されているように、陰極線1、2、3…のオフとなるタイミングでスイッチング回路の切り替えを行うと、電流 I_{ref1} と電流 I_{ref2} との切り替えに伴うノイズを軽減できる。これにより、ディスプレイ画面のちらつき等の悪影響を避けることができ、良好な画像表示を実現できる。図3には、基準電流生成回路20と、第1の陽極線ドライブ回路21及び第2の陽極線ドライブ回路22との接続関係が示されている。同図を参照すると、上述したスイッチング回路SW1、SW2の切り替え動作によって出力される出力電流 I_{ref1} が第1の陽極線ドライブ回路21にカレントミラーの基準電流として入力され、出力電流 I_{ref2} が第2の陽極線ドライブ回路22にカレントミラーの基準電流として入力されている。

【0039】以上説明した基準電流生成回路20のスイッチング回路の出力電流 I_{ref1} と出力電流 I_{ref2} とが等しいので、それぞれ異なるICチップで構成された第1の陽極線ドライブ回路21、第2の陽極線ドライブ回路22にそれぞれ供給される電流のばらつきを小さくすることができる。図4にはスイッチング回路SW1、SW2の構成例が示されている。同図において、スイッチング回路SW1、SW2は、共にMOS (Metal Oxide Semiconductor) トランジスタ等によって構成されている。

【0040】同図に示されているスイッチング回路SW1、SW2は、それぞれ対応するICチップのチャンネル番号Nから出力される電流が入力される2つのアナログスイッチ41及び42と、アナログスイッチ43及び44とを含んで構成されている。アナログスイッチ41、42、43及び44は、共に、ソース及びドレインを共通とするN型MOSトランジスタ及びP型MOSトランジスタによって構成されている。そして、これらN型MOSトランジスタ及びP型MOSトランジスタのゲートがスイッチング制御端子となり、互いに反転した信号によりオンオフが制御される。

【0041】また、同図においては、上記スイッチング制御端子であるゲートにパルス201を反転して与えるインバータINVとを含んで構成されている。なお、インバータINVは、例えば周知のCMOS (Complementary Metal Oxide Semiconductor) インバータ回路で構成する。アナログスイッチ41のN型MOSトランジスタ、アナログスイッチ42のP型MOSトランジスタ、アナログスイッチ43のP型MOSトランジスタ及びアナログスイッチ44のN型MOSトランジスタにはパルス201がそのまま入力されるのに対し、アナログスイッチ41のP型MOSトランジスタ、アナログスイッチ42のN型MOSトランジスタ、アナログスイッチ43のN型MOSトランジスタ及びアナログスイッチ44のP型MOSトランジスタには出力パルス201がインバータINVによって論理反転されて入力される。このため、パルス201がハイレベルのときにアナログスイッチ41、44がオン状態で、アナログスイッチ42、43がオフ状態となる。一方、パルス201がローレベルのときにアナログスイッチ41、44がオフ状態で、アナログスイッチ42、43がオン状態となる。

【0042】前者の期間内においては、電流 I_{cm1} が出力電流 I_{ref1} として導出され、かつ、電流 I_{cm2} が出力電流 I_{ref2} として導出される。一方、後者の期間内においては、電流 I_{cm1} が出力電流 I_{ref2} として導出され、かつ、電流 I_{cm2} が出力電流 I_{ref1} として導出される。以上のようにスイッチング回路を構成することにより、複数のICチップを用いてディスプレイパネル駆動回路を構成した場合であっても、ICチップ間の出力電流の

ばらつきを小さくすることができる。

【0043】なお、本実施例では基準電流生成回路20をICチップ1、ICチップ2の外部に設けた例を示したが、基準電流生成回路20をICチップ1の内部に設けて、出力電流 I_{ref1} をICチップ1に供給し、出力電流 I_{ref2} をICチップ2に供給するようにしても良い。この場合、ICチップ1をマスターIC、ICチップ2をスレーブICとして、2チップのみで構成可能になる。

【0044】また、以上はICチップを2つ用いた場合について説明したが、より多くのICチップを用いた場合においても同様にICチップと駆動電流供給源との対応関係（電気的接続状態）を所定周期で切り替えることにより、ICチップ間の出力電流のばらつきを小さくすることができる。例えば、複数のICチップに対して、複数の駆動電流源を用意し、ICチップと駆動電流源との接続を所定周期で順にローテーションしながら切り替えると、複数のICチップへの駆動電流は平均化され、ほぼ同レベルとすることができる。図2（b）は、3つのICチップに対して3つの駆動電流源を用意し、ローテーションしながら切り替えるタイミングを示すタイミングチャートである。

【0045】

【発明の効果】以上説明したように本発明は、複数のICチップと複数の駆動電流供給源との対応関係を所定周期で切り替えることにより、カレントミラーで発生する電流ばらつきを小さくすることができるという効果がある。また複数のICチップ間での基準電流のばらつきをなくすことができるので、ディスプレイパネル上において均一な発光輝度が得られるという効果がある。

【図面の簡単な説明】

【図1】本発明によるディスプレイパネル駆動回路の主要部分の構成を示す図である。

【図2】図1のディスプレイパネル駆動回路におけるスイッチング回路の切り替えタイミングを示すタイミング

チャートである。

【図3】基準電流生成回路と陽極線ドライブ回路との接続関係を示す図である。

【図4】スイッチング回路の構成例を示す図である。

【図5】EL素子の概略構成を示す図である。

【図6】EL素子の特性を電氣的に示す等価回路を示す図である。

【図7】複数のEL素子をマトリクス状に配列してなるELディスプレイパネルを用いて画像表示を行うELディスプレイ装置の概略構成を示す図である。

【図8】画素データ及び走査線選択信号の供給タイミングを示す図である。

【図9】陽極線ドライブ回路を2つのICチップで構築した場合を示す図である。

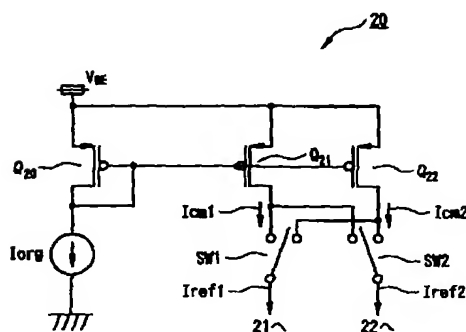
【図10】発光制御回路による画素データ、及び走査線選択制御信号の供給タイミングを示す図である。

【図11】陽極線ドライブ回路の内部構成例を示す図である。

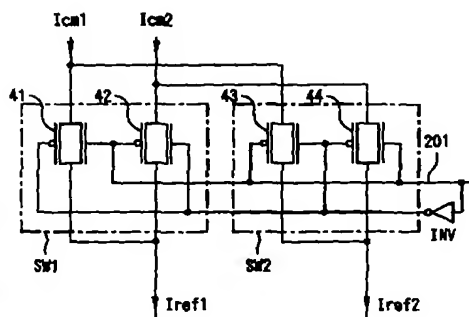
【符号の説明】

- 1 発光制御回路
- 2 陽極線ドライブ回路
- 3 陰極線走査回路
- 10 ELDP
- 20 基準電流生成回路
- 21, 22 陽極線ドライブ回路
- 30 陰極線走査回路
- 100 透明基板
- 101 透明電極
- 102 有機機能層
- 103 金属電極
- CC 駆動電流制御回路
- CO 制御電流出力回路
- I_{org} 電流源
- Q_{20}, Q_{21}, Q_{22} トランジスタ
- SW1, SW2 スwitching回路

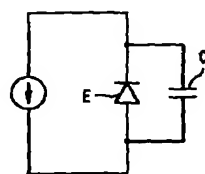
【図1】



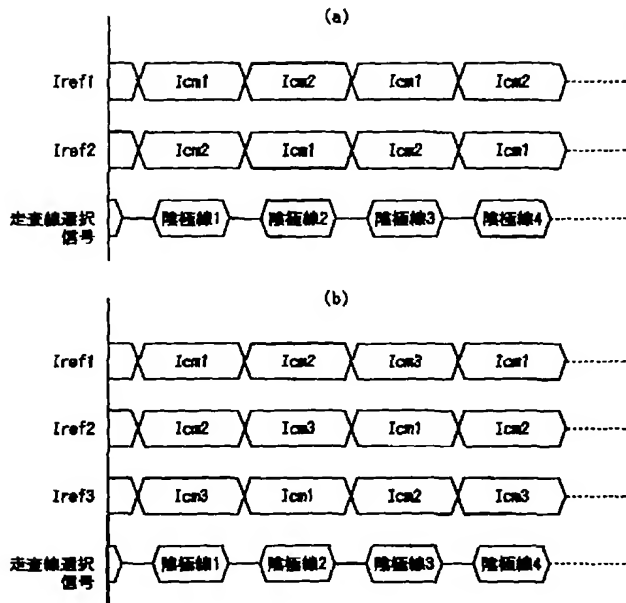
【図4】



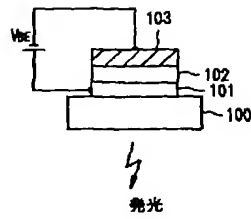
【図6】



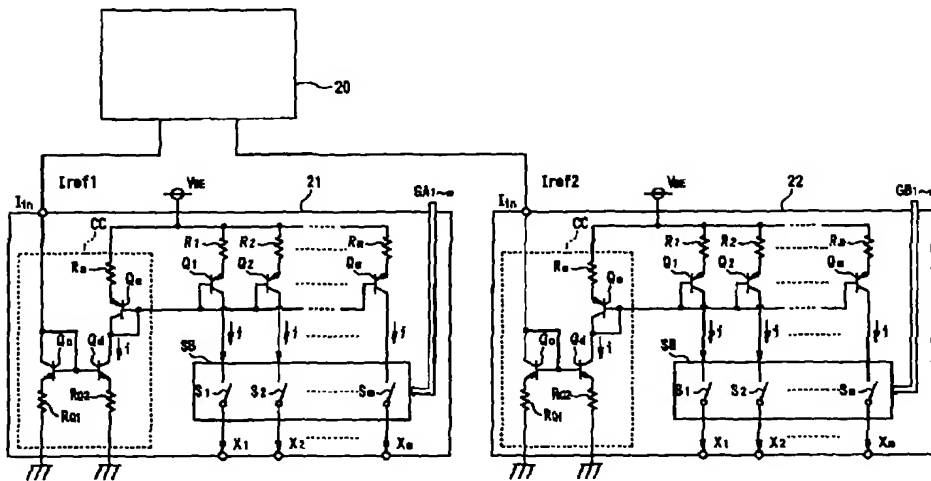
【図2】



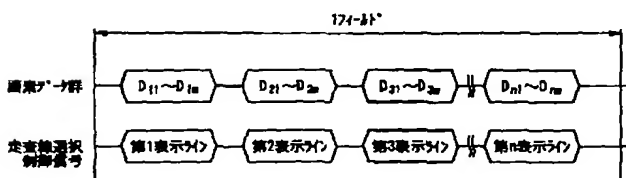
【図5】



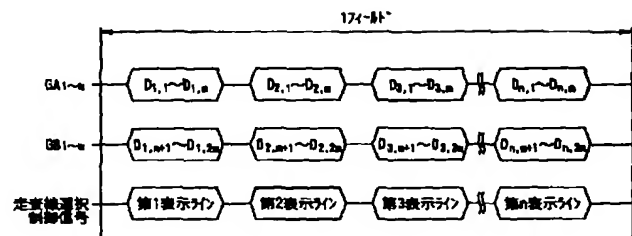
【図3】



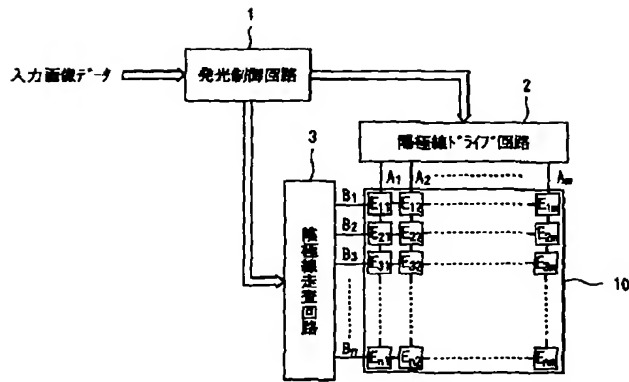
【図8】



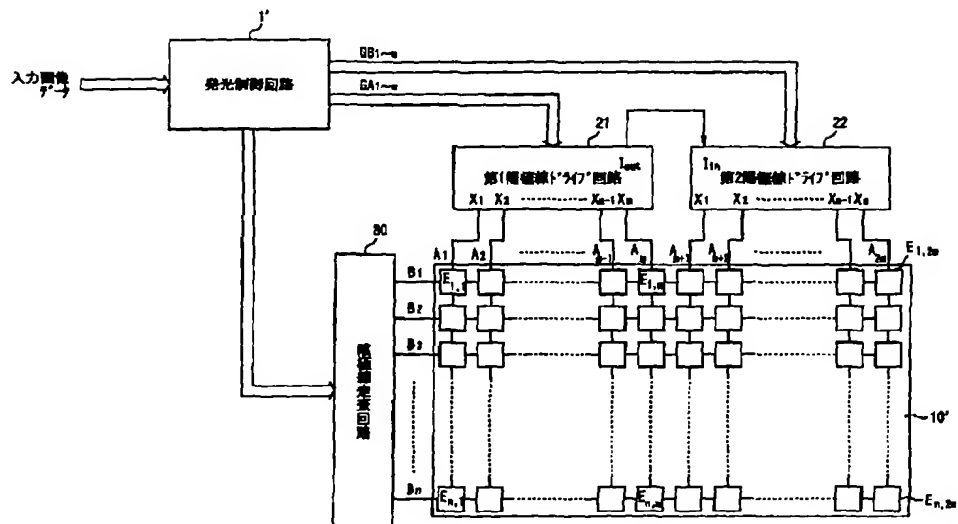
【図10】



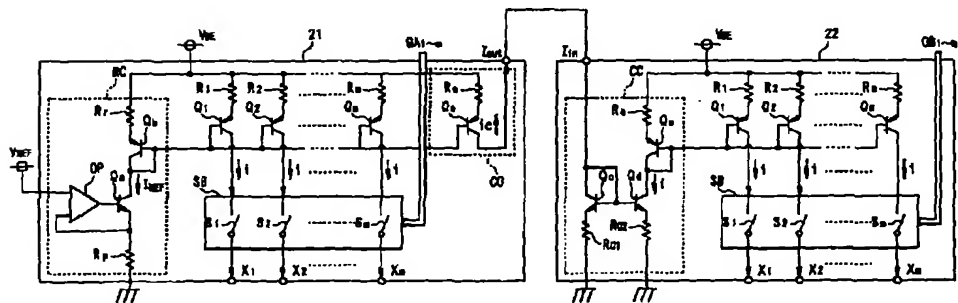
【図7】



【図9】



【図11】



フロントページの続き

F ターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03
EB00 GA04
5C080 AA06 BB05 DD03 EE28 JJ02
JJ03